

MENU **SEARCH** **INDEX** **JAPANESE**

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-049246

(43)Date of publication of application : 04.03.1991

(51)Int.Cl. H01L 21/60

(21)Application number : 01-184367

(71)Applicant : HITACHI LTD

(22)Date of filing : 17.07.1989

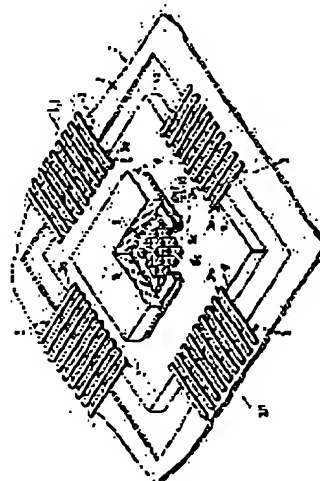
(72)Inventor : YOSHIDA IKUO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE**(57)Abstract:**

PURPOSE: To prevent fluctuation etc., in electrical characteristics due to contaminant by a method wherein an element forming surface of a semiconductor chip mounted on an Si substrate via a CCB bump is sealed airtight by a sealing part extended on the outer periphery of the chip.

CONSTITUTION: A device hole 2 is drilled at the center of a film carrier 2. An Si wiring substrate 4a is placed inside the hole 2. At the center of this substrate 4a, a semiconductor chip 8 with an integrated circuit formed is mounted via a CCB bump with an element forming surface facing downward. The element forming surface of the chip 8 is sealed airtight by a sealing part 10 extended along the outer periphery of the chip 8.

The bump 9 is electrically connected to an electrode via a bed metal 6c formed on the substrate 4a. This electrode is electrically connected to a bump electrode 7 formed on the outer periphery of the substrate 4a. In addition, this electrode 7 is bonded to an inner lead 3a of a lead 3. Thus elements and wiring can be protected against contaminants such as moisture.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-49246

⑤ Int.Cl.⁵

H 01 L 21/60

識別記号

3 1 1 Q
R

庁内整理番号

6918-5F
6918-5F

④ 公開 平成3年(1991)3月4日

審査請求 未請求 請求項の数 3 (全7頁)

⑭ 発明の名称 半導体集積回路装置

⑰ 特 願 平1-184367

⑱ 出 願 平1(1989)7月17日

⑯ 発 明 者 吉 田 育 生 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 筒井 大和

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. シリコン基板上にCCBパンプを介して実装された半導体チップの素子形成面を、その外周に沿って延設された封止部によって気密封止するとともに、前記シリコン基板の外周にパンプ電極を形成し、前記パンプ電極とフィルムキャリアのインナーリード部とを接続したことを特徴とする半導体集積回路装置。

2. 前記シリコン基板上に複数の半導体チップを実装し、それぞれの半導体チップの素子形成面をその外周に沿って延設された封止部によって気密封止したことを特徴とする請求項1記載の半導体集積回路装置。

3. 前記シリコン基板において、前記半導体チップが実装されていない領域に、能動素子または受動素子を形成したことを特徴とする請求項1または2記載の半導体集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積回路装置技術に関し、特に、実装方式としてTAB(Tape Automated Bonding)方式を用いる半導体集積回路装置に適用して有効な技術に関するものである。

〔従来の技術〕

TAB方式を用いる半導体集積回路装置については、例えば株式会社プレスジャーナル社、平成元年5月20日発行、「月刊セミコンダクターワールド(Semiconductor World)・1989年6月号」P107～P131に記載があり、フィルムキャリアやTAB用のパンプ電極の形成技術およびTABのインナーリード部と半導体チップの電極とのボンディング技術等について説明されている。

ところで、従来のTAB方式を用いる半導体集積回路装置においては、半導体チップの電極とフィルムキャリアにパターン形成されたリードのインナーリード部とを電気的に接続した後、半導体

チップの素子形成面のみ、あるいは全面をポッティング樹脂により被覆し半導体チップを封止していた。

〔発明が解決しようとする課題〕

ところが、上記従来のTAB方式を用いる半導体集積回路装置技術においては、半導体チップをポッティング樹脂によって封止するため、半導体チップを外部の湿気や不純物イオン等の汚染源から十分に保護することができず、これらの汚染源に起因して半導体チップに形成された素子の電気的特性が変動したり、配線が腐食したり、ひいては素子の破壊や配線の断線不良が発生したりする問題があることを本発明者は見出した。

本発明は上記課題に着目してなされたものであり、その目的は、TAB方式を用いる半導体集積回路装置の信頼性を向上させることのできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

第1図は本発明の一実施例である半導体集積回路装置を示す一部破断斜視図、第2図はこの半導体集積回路装置の平面図、第3図は第1図のⅢ-Ⅲ線の断面図、第4図(a)~(c)はこの半導体集積回路装置の組立工程を示す断面図である。

以下、本実施例1の半導体集積回路装置を第1図、第2図および第3図により説明する。

ポリイミド樹脂等からなるフィルムキャリア1の中央には、例えば四角形状のデバイス孔2が穿孔されている。フィルムキャリア1の上面には、例えば銅(Cu)からなるリード3が、デバイス孔2の各辺に沿って複数パターン形成されており、各リード3の一端のインナーリード部3aは、デバイス孔2内に突出するように延設されている。

デバイス孔2内には、例えば四角形状のシリコン(Si)配線基板(以下、基板という)4aが配置されている。

この基板4aの外周には、アルミニウム(Al)等からなる電極5a(第3図)が、基板4aの各辺に沿って複数形成されている。各電極5aの

(課題を解決するための手段)

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

すなわち、シリコン基板上にCCBパンプを介して実装された半導体チップの素子形成面を、その外周に沿って延設された封止部によって気密封止するとともに、前記シリコン基板の外周にパンプ電極を形成し、前記パンプ電極とフィルムキャリアのインナーリード部とを接続した半導体集積回路装置構造とするものである。

〔作用〕

上記した手段によれば、半導体チップに形成された素子や配線が湿気や不純物イオン等の汚染源から保護されるため、汚染源に起因する素子の電気的特性の変動や素子破壊および配線の腐食や断線不良等が抑制され、TAB方式を用いる半導体集積回路装置の信頼性を向上させることが可能となる。

〔実施例1〕

上面には、下地金属部6aが形成されている。下地金属部6aは、下方から順にチタン(Ti)、ニッケル(Ni)、Au等の金属層が積層される。下地金属部6aの上面には、Au等からなるパンプ電極7が形成されている。そして、パンプ電極7は、フィルムキャリア1のインナーリード部3aと電気的に接続されており、基板4aは、フィルムキャリア1に実装された状態になっている。

一方、基板4aの中央には、所定の集積回路が形成された半導体チップ8が、素子形成面を下方に向けて半田(Pb/Sn)等からなるCCBパンプ9を介して実装されている。そして、半導体チップ8の素子形成面は、半導体チップ8の外周に沿って延設された封止部10によって気密封止されている。したがって、本実施例1の半導体集積回路装置においては、半導体チップ8に形成された素子や配線が外部の湿気や不純物イオン等から保護される構造となっている。封止部10は、例えば、半導体チップ8の保護膜11a上に形成

された棒状の下地金属部10aと、基板4aの保護膜11b上に形成された棒状の下地金属部10bと、これら下地金属部10a、10bの間に形成された半田(Pb/Sn)等からなる接合部10cとから構成されている。なお、下地金属部10a、10bは、各々保護膜11a、11b上に、順にTi、Ni、Au等の金属層が積層されている。また、保護膜11a、11bは、SiO₂等からなる。

また、半導体チップ8は、基板4aと同じSi単結晶からなる。したがって、半導体チップ8と基板4aとの熱膨張係数が同じなので、熱膨張係数の差に起因する。CCBパンプ9や封止部10への熱応力の集中が抑制され、これらの接合寿命を十分に保証できる構造となっている。

半導体チップ8と基板4aとを電氣的に接続するCCBパンプ9は、半導体チップ8に形成された下地金属部6bを介して半導体チップ8に形成されたA₂等からなる電極5bと電氣的に接続されている。

を相対応させ、これらの位置合わせを行った後、熱処理炉を通すことによりCCBパンプ9および接合部10cを構成する半田(Pb/Sn)をリフローする。

そして、第4図(c)に示すように、CCBパンプ9と下地金属部6cとを接合して半導体チップ8の電極5bと基板4aの電極5cとを電氣的に接続し、かつ接合部10cと下地金属部10bとを接合して半導体チップ8の素子形成面を気密封止する。

その後、半導体チップ8の実装された基板4aをインナリードボンダのボンディングステージ14上に載置して、基板4aの外周に形成された複数のパンプ電極7とフィルムキャリア1から延設された複数のインナーリード部3aとを位置合わせし、加熱ツール15を図中の矢印に示す方向に下げて、パンプ電極7とインナーリード部3aとをギャングボンディングし、第1図～第3図に示した半導体集積回路装置を組み立てる。

このように本実施例1によれば、以下の効果を得ることができる。

また、CCBパンプ9は、基板4aに形成された下地金属部6cを介して基板4aに形成されたA₂等からなる電極5cと電氣的に接続されている。そして、この電極5cは、基板4aに形成されたA₂等からなる配線12およびスルーホール部13を介して基板4aの外周に形成されたパンプ電極7と電氣的に接続されている。

このような半導体集積回路装置を組み立てるには、例えば以下のようにする。

まず、第4図(a)に示すように、半導体チップ8の下地金属部6b、10aの上面に半田(Pb/Sn)等をスパッタリング法あるいは蒸着法等により被着し、下地金属部6bの上面にCCBパンプ9形成し、かつ下地金属部10aの上面に接合部10cを形成する。

次に、第4図(b)に示すように、半導体チップ8の素子形成面を下方に向けて、半導体チップ8に形成されたCCBパンプ9と基板4aに形成された下地金属部6cとを相対応させ、かつ接合部10cと基板4aに形成された下地金属部10bと

得ることができる。(1)、フィルムキャリア1に実装された基板4a上にCCBパンプ9を介して実装された半導体チップ8の素子形成面を半導体チップ8の外周に沿って延設された封止部10によって気密封止したことにより、素子や配線が湿気や不純物イオン等の汚染源から保護されるため、汚染源に起因する素子の電氣的特性の変動や素子破壊および配線の腐食や断線不良等が抑制され、TAB方式を用いる半導体集積回路装置の信頼性を向上させることが可能となる。(2)、ギャングボンディングが可能であり、多ピンの半導体集積回路装置を短時間でボンディング可能である。(3)、フィルムキャリアに実装された状態で電気回路の試験が行える。(4)、高速回路において良好な高周波特性を得ることが可能である。(5)、100μm以下の電極ピッチに対応できるため、半導体集積回路装置の小形化が図れる。(6)、TABのリードは引張強度が大きいので、高い信頼性を得られる等の効果の他に以下の効果を得ることができる。

すなわち、フィルムキャリア1に実装された基

版4a上にCCBパンプ9を介して実装された半導体チップ8の素子形成面を半導体チップ8の外周に沿って延設された封止部10によって気密封止したことにより、素子や配線が湿気や不純物イオン等の汚染源から保護されるため、素子の電気的特性の変動や素子破壊および配線の腐食や断線不良等の発生が抑制され、TAB方式を用いる半導体集積回路装置の信頼性を向上させることが可能となる。

〔実施例2〕

第5図は本発明の他の実施例である半導体集積回路装置を示す平面図、第6図は第5図のVI-VI線の断面図である。

本実施例2においては、第5図および第6図に示すように、基板4b上に複数の半導体チップ8が実装されている。各半導体チップ8の素子形成面は、各半導体チップ8の外周に沿って延設された封止部10（第6図）によって気密封止されている。そして、第5図破線で示すように、基板4bにおいて、半導体チップ8が実装されていない

領域には、メモリ回路16が形成されている。

メモリ回路16には、図示はしないが、例えばMOSトランジスタ等の能動素子と、情報を電荷の状態で保持するキャパシタ等の受動素子とが形成されている。

このように本実施例2によれば、TAB方式を用いる半導体集積回路装置において、以下の効果を得ることができる。

- (1). 基板4b上に半導体チップ8を複数実装したことにより、半導体集積回路装置の大規模化に対応することが可能となる。
- (2). 基板4bの配線経路の組み換えにより、半導体集積回路装置の回路機能の変更および拡張に即座に対応することが可能となる。
- (3). 基板4bにメモリ回路16を形成したことにより、半導体集積回路装置の回路機能をさらに拡張することが可能となる。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱し

ない範囲で種々変更可能であることはいうまでもない。

例えば、前記実施例1においては、パンプ電極をAuによって構成した場合について説明したが、これに限定されるものではなく、半田(Pb/Sn)によって構成しても良い。この場合、パンプ電極と、半導体チップのCCBパンプとが同一材料となるので、半導体チップを基板上に実装する際にパンプ電極とインナーリード部とを同時に接合することができ、半導体集積回路装置の組立工程を低減することが可能となる。

また、前記実施例2においては、基板にメモリ回路を形成した場合について説明したが、これに限定されるものではなく種々変更可能であり、例えば論理回路でも良い。

〔発明の効果〕

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、シリコン基板上にCCBパンプを介

介して実装された半導体チップの素子形成面を、その外周に沿って延設された封止部によって気密封止するとともに、前記シリコン基板の外周にパンプ電極を形成し、前記パンプ電極とフィルムキャリアのインナーリード部とを接続したことにより、素子や配線が湿気や不純物イオン等の汚染源から保護されるため、汚染源に起因する素子の電気的特性の変動や素子破壊および配線の腐食や断線不良等が抑制される効果を得ることが可能となり、TAB方式を用いる半導体集積回路装置の信頼性を向上させることが可能となる。

4. 図面の簡単な説明

第1図は本発明の一実施例である半導体集積回路装置を示す一部破断斜視図、

第2図はこの半導体集積回路装置の平面図、

第3図は第1図のIII-III線の断面図、

第4図(a)~(c)はこの半導体集積回路装置の組立工程を示す断面図、

第5図は本発明の他の実施例である半導体集積回路装置を示す平面図、

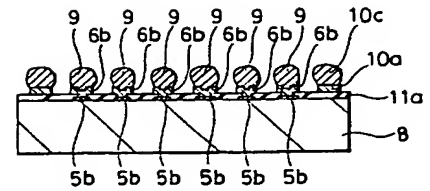
第6図は第5図のVI-VI線の断面図である。

1・・・フィルムキャリア、2・・・デバイス
孔、3・・・リード、3a・・・インナーリード
部、4a、4b・・・基板（シリコン基板）、5
a～5c・・・電極、6a～6c・・・下地金属
部、7・・・パンプ電極、8・・・半導体チップ、
9・・・CCBパンプ、10・・・封止部、10
a、10b・・・下地金属部、10c・・・接合
部、11a、11b・・・保護膜、12・・・配
線、13・・・スルーホール部、14・・・ボン
ディングステージ、15・・・加熱ツール、16
・・・メモリ回路。

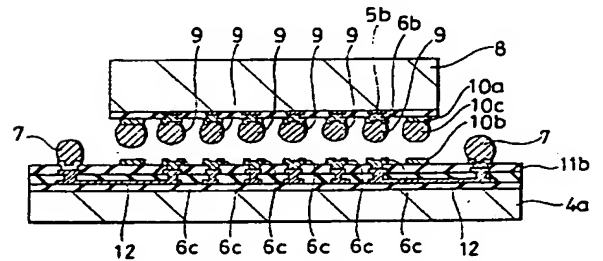
代理人 弁理士 筒井大和

第4図

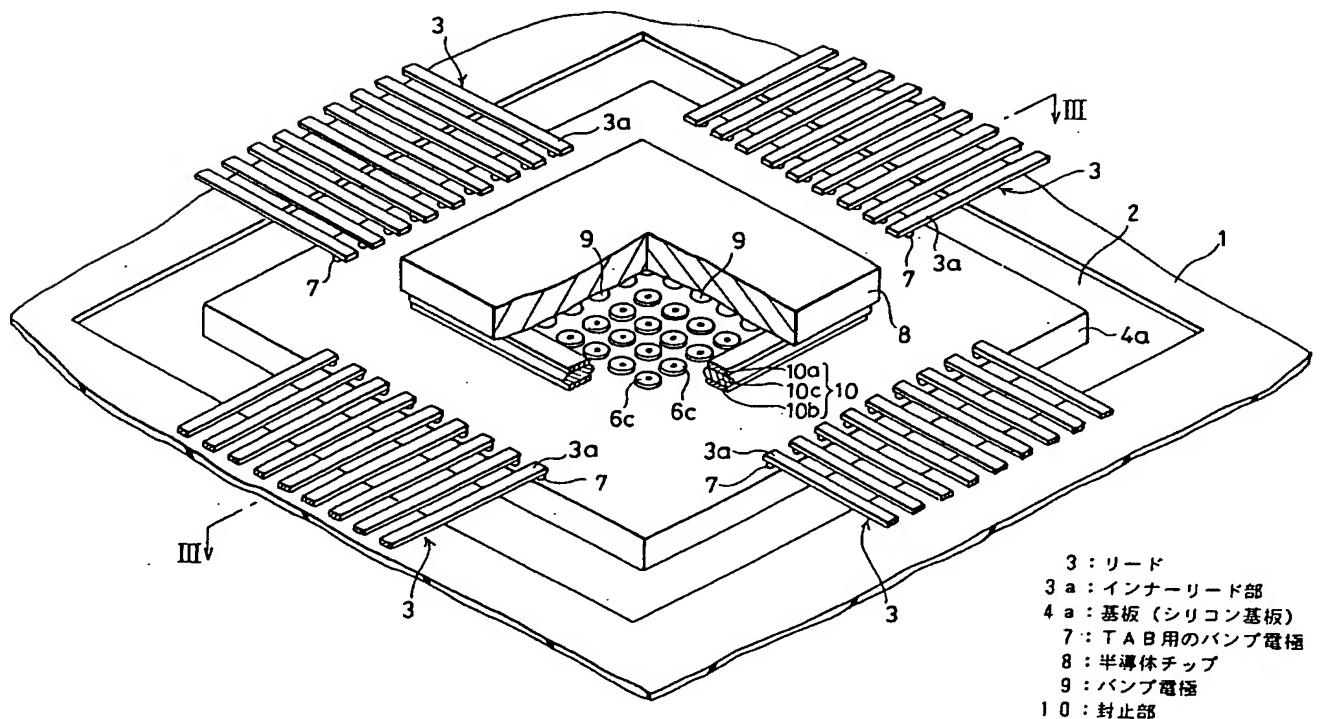
(a)



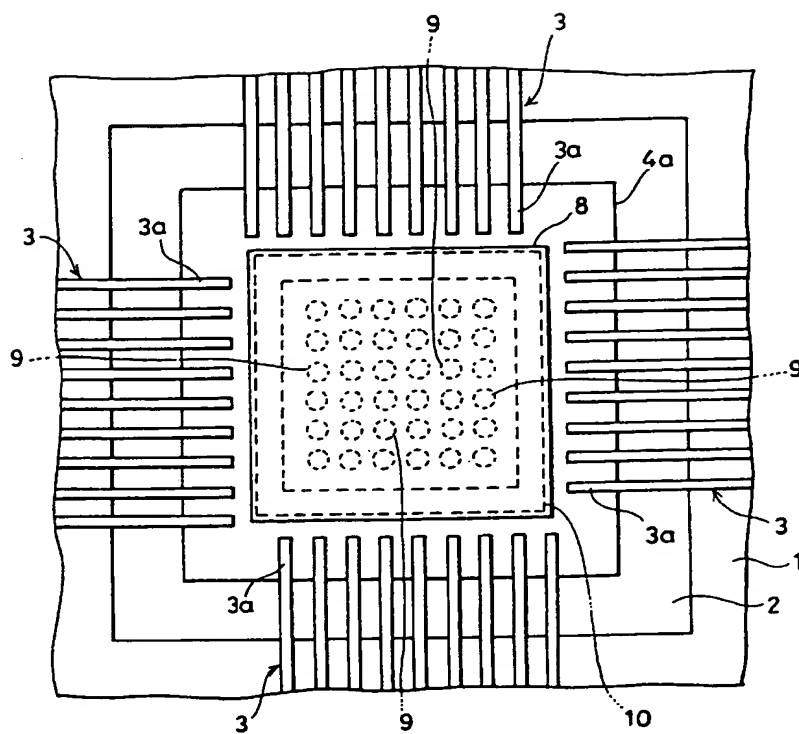
(b)



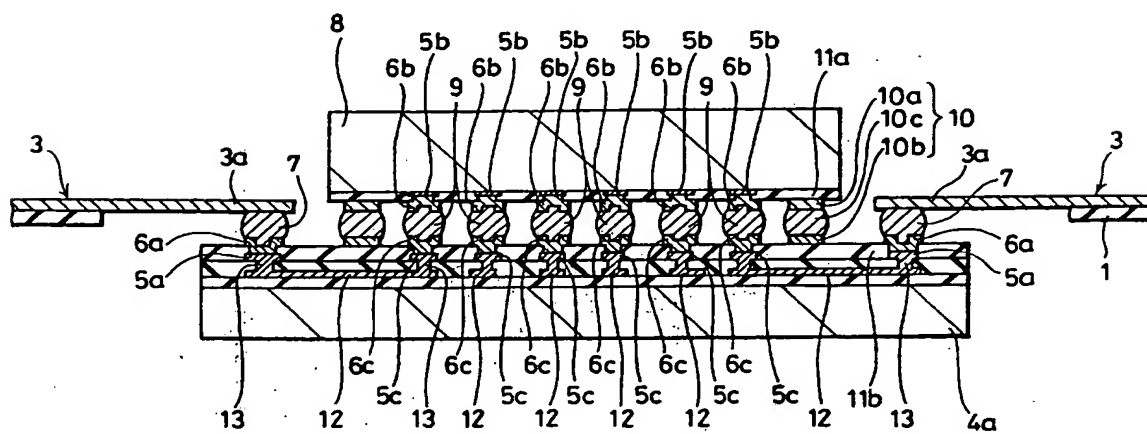
第1図



第 2 题

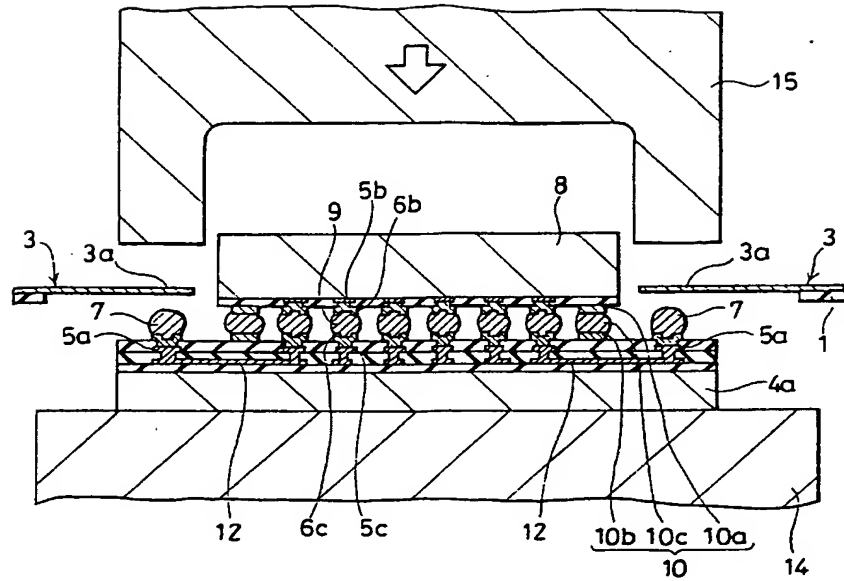


第 3 図

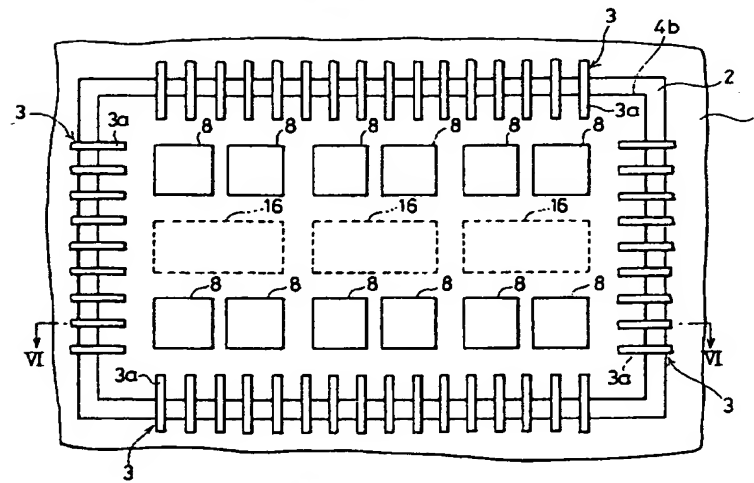


第 4 図

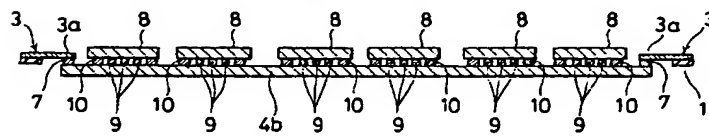
(c)



第 5 図



第 6 図



4a : 基板 (シリコン基板)
16 : メモリ回路部